

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-134246

(43) Date of publication of application : 12.05.2000

(51)Int.Cl.	H04L	12/437
	H04J	3/00
	H04J	3/08
	H04J	3/14

(21)Application number : 10-304396

(71)Applicant : FUJITSU LTD

(22)Date of filing : 26.10.1998

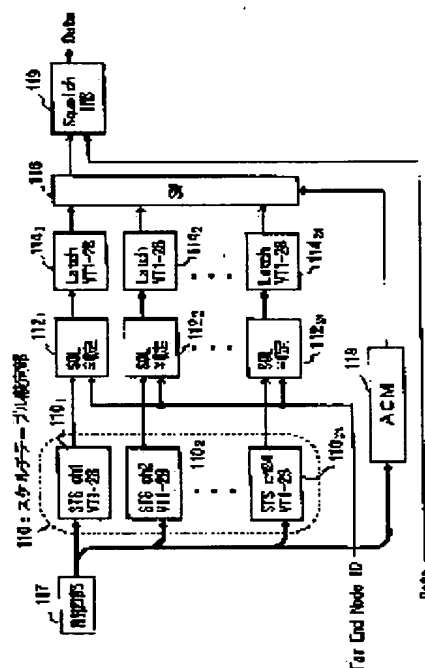
(72)Inventor : MOCHIZUKI HIDEAKI
OOKURA RITSUKO

(54) TRANSMITTER

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the circuit scale of the transmitter and to make a CPU processing efficient by using a storage area having a capacity of object channel number to discriminate execution of insertion of a fault notice signal, utilizing line setting information of main signal data, selecting a discrimination result to insert the fault notice signal.

SOLUTION: A VT squelch table register has a capacity equivalent to only channels being an object of BLSR and receives data corresponding to the channels. A Far End Node ID is sent to SQL discrimination sections 1121-11224 for each channel and discriminate whether or not VT squelch is to be conducted through comparison with data in a squelch table setting section 110. A squelch discrimination result received in parallel with an SW section 116 is selected by designating an STS NO. from an ACM 118 set based on STS line setting information from a control section 117 and an SQL INS section 119 inserts a squelch to the VT channel.



LEGAL STATUS

[Date of request for examination] 21.09.2001

[Date of sending the examiner's decision of rejection] 28.10.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-134246
(P2000-134246A)

(43)公開日 平成12年5月12日(2000.5.12)

(51)Int.Cl. ⁷	識別記号	FI	テマコード*(参考)
H04L 12/437		H04L 11/00	331 5K028
H04J 3/00		H04J 3/00	U 5K031
3/08		3/08	B
3/14		3/14	Z

審査請求 未請求 請求項の数9 OL (全15頁)

(21)出願番号 特願平10-304396

(22)出願日 平成10年10月26日(1998.10.26)

(71)出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号
(72)発明者 望月 英明
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(72)発明者 大倉 理津子
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(74)代理人 100070150
弁理士 伊東 忠彦

最終頁に続く

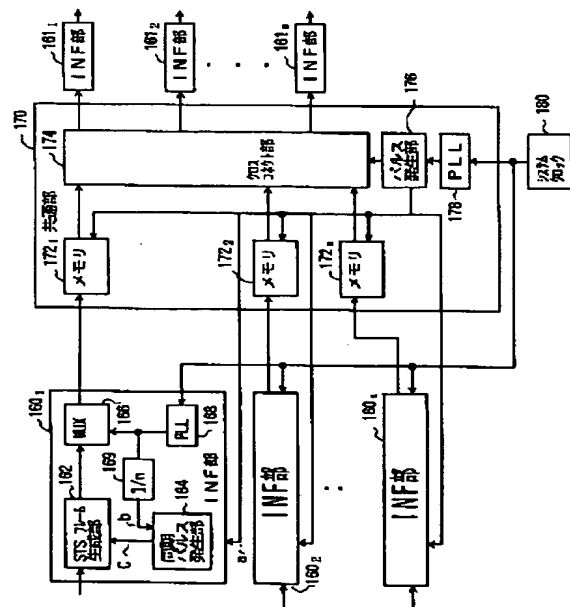
(54)【発明の名称】 伝送装置

(57)【要約】

【課題】 同期多重伝送路網を構成し、回路規模の削減及び処理の効率化を実現する伝送装置を提供することを目的とする。

【解決手段】 主信号データの回線設定情報を利用して情報を入れ換えることにより、ループバック救済対象のチャンネル数のみの容量の障害通知信号挿入判定用の記憶領域を備え、パス監視開始情報をハード的に記録することにより、CPUがハードに対してアクセスする間に発生した事象に対して事象の読みとばし無く適正にパスプロテクションスイッチ制御を行い、各インターフェース部において、分配される基準タイミングパルスのクロック乗り換えによりタイミングを調整して各チャンネル信号の位相を合わせるにより共通部への回路の集中を回避するように構成する。

伝送装置においてSTS信号を生成してクロスコネクト
を行う部分の本発明の実施例による構成を示すブロック図



【特許請求の範囲】

【請求項 1】 リングを構成する同期多重伝送路網上でクロスコネクトを行い、伝送路障害の際には信号を伝送路の予備帯域にループバックさせて通信を救済する手段を有する伝送装置であって、救済できないチャンネルへの障害通知信号の挿入実行を判定するための情報を保持する、前記救済する対象となるチャンネル数のみの記憶領域を有し、該障害通知信号の挿入実行判定の結果を、所定の情報を利用して入れ換えることにより、該当するチャンネルに該障害通知信号挿入を実行する手段を有することを特徴とする伝送装置。

【請求項 2】 前記所定の情報は、前記チャンネルの上位階層の回線設定情報であることを特徴とする請求項 1 記載の伝送装置。

【請求項 3】 リングを構成する同期多重伝送路網上で送信側から 2 方向に送出されたパス信号を受信側でどちらか一方を選択することによりパスを切り替え、切り戻す手段を有する伝送装置において、該伝送装置の CPU が該伝送装置のハードに対してアクセスする間に発生した事象に対して、事象の読みとばし無く前記切り替え、切り戻し処理を行うことを特徴とする伝送装置。

【請求項 4】 リングを構成する同期多重伝送路網上で送信側から 2 方向に送出されたパス信号を受信側でどちらか一方を選択することによりパスを切り替え、切り戻す手段を有する伝送装置において、パスにアラームが発生した場合に、パスを切り替える手段と、パスにアラームが発生して消滅する度に、該パスに該アラームが発生して消滅したことを示す情報をハード的に記録する手段と、該伝送装置の CPU が該情報を読み取ることにより、タイマーをスタートし、パス監視を開始する手段と、パス監視開始から所定の期間経過後にはパスを切り戻す手段と、を有することを特徴とする伝送装置。

【請求項 5】 同期多重伝送路網上でクロスコネクトを行う伝送装置であって、該伝送装置の各インターフェース部に、チャンネル信号の位相合わせを行う手段を有することを特徴とする伝送装置。

【請求項 6】 同期多重伝送路網上でクロスコネクトを行う伝送装置であって、該伝送装置の各インターフェース部に基準タイミングパルスを分配する手段を有し、該各インターフェース部に、該基準タイミングパルスのクロック乗り換えによりタイミングを調整してチャンネル信号の位相合わせを行う手段を有することを特徴とする伝送装置。

【請求項 7】 前記位相合わせを行う手段は、前期基準タイミングパルスのクロック乗り換えにおいて、

書き込み側から読み出し側への乗り換えタイミングをタイマーを用いて自動的に生成し、クロック乗り換えを行うことを特徴とする請求項 6 記載の伝送装置。

【請求項 8】 前記位相合わせを行う手段は、前期基準タイミングパルスのクロック乗り換えにおいて、

書き込み側から読み出し側への乗り換えタイミングを PLL のロック検出を用いることにより生成し、クロック乗り換えを行うことを特徴とする請求項 6 記載の伝送装置。

【請求項 9】 前記位相合わせを行う手段は、前期基準タイミングパルスのクロック乗り換えにおいて、

乗り換えタイミングの位相比較を行うための狭いウィンドウと広いウィンドウの 2 つのウィンドウを生成する手段と、

乗り換えタイミングの監視時間の間は狭いウィンドウで監視を行い、所定の場合に、広いウィンドウに切り替えて乗り換えタイミングを生成する手段と、を有することを特徴とする請求項 6 ないし請求項 8 いずれか一項記載の伝送装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は伝送装置に係り、特に、同期多重伝送路網において各種ネットワーク構成に対応する伝送装置に関する。

【0002】

【従来の技術】 通信量の増大により、大容量伝送可能な光通信を利用した同期多重伝送への利用要求は高く、特に、多様なネットワーク構成への対応やネットワークの信頼性確保の観点から、リングを構成でき、伝送路障害時における代替伝送路切替えが可能な SONET 等の同期多重伝送方式が広く用いられている。

【0003】 同期多重伝送路によるリングネットワークを構成する伝送ノード装置には、例えば、SONET におけるチャンネルの階層である STS 信号から必要な VT チャンネルにアクセス可能な ADM 装置等が用いられている。なお、ADM とは Add/Drop Mux の略称である。図 1 は SONET リングネットワークの伝送路切替えの一方式である UPSR の概念図である。なお、UPSR は Unidirectional Path Switched Ring の略称であり、リングを構成する同期多重伝送路網上で送信側から 2 方向に送出されたパス信号を受信側でどちらか一方を選択することによりパスを切り替え、切り戻す方式の一つの例である。同図中、ノード A1、ノード B2、ノード C3、ノード D4 はそれぞれ SONET リングを構成するノードであり、信号がノード A1 から入り、ノード

C3から出る場合を示している。

【0004】図1(a)において、ノードA1に入った信号は、ノードA1、ノードD4、ノードC3を経由するルートと、ノードA1、ノードB2、ノードC3を経由するルートの2方向に送られ、ノードC3において、通常はノードA1、ノードD4、ノードC3を経由するルートからの信号が選択される。なお、通常選択されるルート、すなわち図1の場合であればノードA1、ノードD4、ノードC3を経由するルートのパスをデフォルトパスと称す。

【0005】ここで、図1(b)に示すように、ノードA1、ノードD4、ノードC3間のパスに障害が発生し、通信ができなくなると、ノードC3において、ノードA1、ノードB2、ノードC3を経由するルートのパスに切り替わることにより通信が継続される。なお、ノードA1、ノードB2、ノードC3を経由するルートのパスのように、デフォルトパスから切り替えられる先のパスを非デフォルトパスと称す。また、上記の機能をパスプロテクションスイッチと称することとする。

【0006】図2はSONETリングネットワークにおけるBLSRの概念図である。なお、BLSRはBidirectional Line Switch Ringの略称であり、リングを構成する同期多重伝送路網上でクロスコネクトを行い、伝送路障害の際には信号を伝送路の予備帯域にループバックさせて通信を救済する方式の一つの例である。同図中、ノードA1、ノードB2、ノードC3、ノードD4はそれぞれSONETリングを構成するノードであり、信号がノードA1から入り、ノードC3から出る場合を示している。

【0007】図2(a)において、ノードA1に入った信号は、ノードA1、ノードD4、ノードC3を経由するルートでノードC3に送られている。ここで、ノードA1、ノードD4間の伝送路に障害が発生し、ノードA1、ノードD4、ノードC3経由での通信ができなくなると、予備の伝送路を用いてノードA1、ノードB2、ノードC3、ノードD4、ノードC3の経路で信号が送られる。

【0008】図3はSONETにおいて任意のSTS信号から必要なVTチャンネルにアクセスする伝送装置5の例であり、回線のクロスコネクトを行う部分を中心にしたシステム構成図である。伝送装置5はSTS信号のクロスコネクトを行うSTSクロスコネクト部10、VT信号のクロスコネクトを行うVTクロスコネクト部20、信号を入力するINF部30₁～30_n、信号を出力するINF部40₁～40_nを有し、STSクロスコネクト部10はSTSレベルのクロスコネクトを行うSTS TSI部11、12、13と、UPSRにおけるパスプロテクションスイッチを行うSTS PSW部14、15、STSレベルでアクセスされたパスとVTレベルでアクセスされたパスの中からどちらかを選択する

SEL部16を有している。VTクロスコネクト部20は、VTチャンネルのスケルチを行うVT SQL部21と、VTレベルのクロスコネクトを行うVT TSI部22と、UPSRにおけるパスプロテクションスイッチを行うVT PSW部23を有している。なお、スケルチとは救済できないチャンネルへ障害通知信号を挿入することである。

【0009】図3において、INF部30₁～30_nから入力された信号は、分岐ポイント24にてSTSに抜ける信号とVTに抜ける信号に分岐される。STSに抜ける信号はSTS TSI部12に入りSTSレベルでのクロスコネクトが行われ、STS PSW部15を介してSEL部16で選択されればINF部40₁～40_nに出力される。VTに抜ける信号はSTS TSI部11においてSTSレベルでクロスコネクトされてSTS PSW部14を介して、VTクロスコネクト部20に入り、VTレベルでクロスコネクトされ、VT PSW部23を介してSTS TSI部13にてSTSレベルでクロスコネクトされ、SEL部16で選択されればINF部40₁～40_nに出力される。また、VT SQL部21においてBLSRでのミスコネクション時にAISアラームをVTチャンネルに挿入するスケルチを行う。なお、AISアラームは障害通知信号である。

【0010】図4は、VTスケルチについての概念図である。同図は、内側及び外側の2ファイバのBLSR構成を示している。内側と外側のラインそれぞれにおいてBLSRにおける予備チャンネルと現用チャンネルを有している。VT信号がノードC3から入り、ノードB2を通過してノードA1から出ていることを示しており、各ノードはノードA1、B2、C3、D4のそれぞれに対してノードIDとして1、2、3、4が付与されている。また、各ノードはVTスケルチを行うかどうかの判定を行う際に使用する記憶領域であるスケルチテーブルを有し、テーブルには各VTチャンネルの接続先のノードIDが記録されている。この場合、ノードA1から出ているVTチャンネルの接続先はノードC3であるので、ノードA1のスケルチテーブルには3が記録されている。ここで、E点6とF点7において障害が発生した場合、ノードA1におけるVTチャンネル上でノードC3のノードID3を認識できなくなるため、該VTチャンネルに対してスケルチを実行する。なお、スケルチが行われたVTチャンネルに対してはVTパスAISが挿入される。

【0011】図5は、図3で示した上記スケルチを実行するVT SQL部21の従来の技術による構成図である。スケルチテーブル設定部60は各STSチャンネル60₁～60_n。毎に、28VTチャンネル分のレジスタを有し、各レジスタへのデータの設定は制御部67により行われる。SQL判定部62₁～62_nには各伝送路毎にFar End Node ID すなわち接続されているノードの中

でデータ伝送可能な最も遠いノードのIDが送られる。例えば、図4のネットワークでF点7で障害が発生していると、ノードAに対してノードDからノードID4が返送される。SQL判定部62₁～62_nではFar End Node ID とスケルチテーブル設定部60における各データを比較してVTスケルチを実行するかどうかの判定をVTチャンネル毎に行う。判定結果はラッチ部64₁～64_nに保持され、スケルチINS部66にてスケルチ挿入該当チャンネルに対してVTパスAISを挿入する。

【0012】図6は、図3におけるSTS PSW部14又はSTS PSW部15又はVT PSW部23の構成図、すなわち、前述したUPSRによるバスプロテクションスイッチを行う部分の構成図である。図6において、デフォルト側データ77と非デフォルト側データ78はそれぞれSEL部76に入力され、PSW制御部75による制御によりどちらかが選択されて出力される。デフォルト側データ77と非デフォルト側データ78のアラームはそれぞれデフォルト側のALM検出部70と非デフォルト側のALM検出部71に入力される。

【0013】デフォルト側ALM検出部70又は非デフォルト側ALM検出部71においてアラームを検出すると、ALM通知レジスタ72に通知される。また、デフォルト側ALM検出部70又は非デフォルト側ALM検出部71は、アラームを検出するとPSW制御部75に通知を行う。デフォルト側で通信中に、デフォルト側ALM検出部70がアラームを検出すると、PSW制御部75の制御によりSEL部76により非デフォルト側へのパスの切り替えが行われる。

【0014】ここで、WTR制御レジスタ74を説明するにあたり、WTRについて説明する。WTRはWate To Restore の略称であり、デフォルトパスが障害により非デフォルトパスに切り替えられた場合、デフォルトパスの障害が回復してから所定の時間が経過した後、元のデフォルトパスに切り戻すことである。WTR制御レジスタ74へは、WTRタイマー動作期間の情報がCPU73から記録され、WTR制御レジスタ74に記録されたWTRタイマー動作期間の情報と、ALM通知レジスタに記録されたアラーム情報をCPU73がポーリングして読み取り、パス選択の判断を行い、PSW制御部75はパスの選択情報をSEL部76に出力し、SEL部76はパスを選択する。

【0015】図7は上記WTRに関する動作を示すタイムチャートである。CPU73は定期的にALM通知レジスタ72をポーリングして読むことにより、デフォルトパスのアラーム状況を監視している。ポーリング2のタイミングでデフォルト側アラームを検出し、WTR制御レジスタの制御によりPSW制御部75のDEFから非DEF側への切り替えが維持される。デフォルト側アラーム発生を認識したポーリング2の次のポーリング3でデフォルト側アラームの消滅が認識されると、WTR

タイマーを開始し、所定の時間n分が経過するまでデフォルト側アラームが検出できなければ（ポーリング6）、PSW制御部75にてパスを切り戻す。

【0016】図8はSTS信号を生成してクロスコネクトを行う部分の従来技術の構成図である。INF部80₁～80_nに入力された信号は、INF部80₁～80_nにおいてそれぞれSTSフレームに組み立てられ、共通部90において各チャンネルの位相合わせとクロスコネクトが行われ、INF部81₁～81_nから出力される。

【0017】INF部80₁～80_nの各々は、INF部80₁と同様の構成であり、ここではINF部80₁を例にとり説明する。STSフレーム生成部82はパルス発生部84より発生されたタイミングパルスに従いSTSフレームを生成し、生成されたフレームはMUX86により多重されて共通部90に送信される。パルス発生部84とMUX86はPLL88からのクロックにより動作する。また、PLL88はシステムクロック100からのクロックを受けている。

【0018】共通部90に送られたSTS信号は、各チャンネルの位相がずれており、ポインタ部92₁～92_nにおいてポインタの付け替えを行うことにより、各チャンネルの位相が合わせられる。位相を合わせられた各チャンネルの信号はクロスコネクト部94においてクロスコネクトされ、INF部82₁～82_nに送られる。クロスコネクト部94とポインタ部92₁～92_nは、PLL98からのクロックを受けて動作するパルス発生部96からのタイミングパルスにより動作する。

【0019】図9は、上記の位相合わせに関する動作を示すタイムチャートである。INF部80₁～80_nそれぞれのパルス発生部より発生されたタイミングパルスによりフレーム1～フレームnが生成され、ポインタ部92₁～92_nにおける処理後は、パルス発生部96からの共通部基準タイミングに各フレームの位相が合わせられる。ここで、A1はフレームの先頭バイト、J1はパスの先頭バイトである。ポインタ付け替えによる位相合わせ処理は、わかりやすく説明すれば、INF部で作成されたフレームをはずして、中のパスをそのまま新たなフレームに載せる処理であるといえるので、図9のように示すことができる。

【0020】

【発明が解決しようとする課題】近年、各種サービスの多様化の要求に伴い、伝送装置の回線容量の増大及びネットワーク構成の多様化が求められているが、伝送装置自体は更なる小型化、低消費電力化が求められている。このため、伝送装置の回路規模の削減及びCPU処理の効率化を図ることが本発明の目的である。

【0021】上記目的を達成するための第一の課題について説明する。図5で説明したVTスケルチを行う従来の構成においては、ライン側の一部のチャンネルをBL

10

20

30

40

50

S Rで使用する場合でも、クロスコネクされた場合には任意のチャンネルに移る可能性があるので、伝送装置が扱うライン側の全てのV Tチャンネル分のV Tスケルチテーブルレジスタを備える必要があり、伝送装置が扱うライン側の一部のチャンネルをB L S Rで使用する場合には、無駄なレジスタを備えることとなっていた。ここで、B L S Rで使用するV Tチャンネル数のみのV Tスケルチテーブルレジスタを備えた構成にすること、すなわち救済する対象となるチャンネル数のみの記憶領域を有する構成にすることが第一の課題である。

【0022】第二の課題は、図6及び図7で説明したW T Rによる非デフォルトパスからデフォルトパスへの切り戻しに関する。図7のタイムチャートにおいて、ポーリング4とポーリング5の間にデフォルトパスにアラームが発生して消滅しても、C P Uすなわちソフトウェアの動作では検出できないため、W T Rタイマーがリセットされない。そのため、本来ポーリング5から開始する所定の時間後にデフォルトパスに切り戻すべきところ、ポーリング3から開始する所定の時間後に切り戻ることとなり、通信の安定運用上問題があった。この問題を解消するためには、ポーリング間隔をできる限り短縮すれば良いが、C P Uの負荷を増大させることとなる。C P Uの負荷を増大させることなく、C P Uの読みとばしの問題を解消することが第二の課題である。

【0023】第三の課題は、図8及び図9で説明したクロスコネク時の各チャンネルの位相合わせに関する。図8に示したように、従来技術によると共通部において各チャンネルの位相を合わせる方法を採用している。しかしながら、近年、装置の大容量化が進み、各I N F部からの信号容量も増大しているため、ポインタ部回路の規模及び数が増大していた。また、ポインタの付け替えを要しないインターフェース信号も存在するため、図8に示す構成は効率的では無くなった。そこで、共通部への回路の集中を回避し、効率的な構成とすることが第三の課題である。

【0024】本発明は上記の点に鑑みなされたもので、救済の対象となるチャンネル数のみのスケルチ用記憶領域を有し、C P Uの負荷を増大させることなく、C P Uによる読みとばしを無くして適正に切り替え・切り戻し制御を行うことができ、共通部への回路の集中を回避して各チャンネルの位相を合わせることができる伝送装置を提供することを目的とする。

【0025】

【課題を解決するための手段】上記課題を解決するための本発明の構成は、以下の通りである。請求項1に記載の発明は、リングを構成する同期多重伝送路網上でクロスコネクを行い、伝送路障害の際には信号を伝送路の予備帯域にループバックさせて通信を救済する手段を有する伝送装置であって、救済できないチャンネルへの障害通知信号の挿入実行を判定するための情報を保持す

る、前記救済する対象となるチャンネル数のみの記憶領域を有し、該障害通知信号の挿入実行判定の結果を、所定の情報を利用して入れ換えることにより、該当するチャンネルに該障害通知信号挿入を実行する手段を有する伝送装置である。

【0026】請求項2に記載の伝送装置は、前記所定の情報が、前記チャンネルの上位階層の回線設定情報であることとした。請求項1、請求項2に記載の発明により、伝送路障害の際には信号を伝送路の予備帯域にループバックさせて通信を救済するB L S R等で使用される容量のみの記憶領域を使用して、まず、障害通知信号の挿入実行判定を行い、主信号データの回線設定情報を利用し、判定結果を選択して障害通知信号の挿入を行うこととしたため、従来のように不要なレジスタ等の不要な記憶領域が必要無くなり、回路が削除され、装置の小型化が可能となる。

【0027】請求項3に記載の発明は、リングを構成する同期多重伝送路網上で送信側から2方向に送出されたパス信号を受信側でどちらか一方を選択することによりパスを切り替え、切り戻す手段を有する伝送装置において、該伝送装置のC P Uが該伝送装置のハードに対してアクセスする間に発生した事象に対して、事象の読みとばし無く前記切り替え、切り戻し処理を行うことを特徴とする伝送装置である。

【0028】請求項4に記載の発明は、リングを構成する同期多重伝送路網上で送信側から2方向に送出されたパス信号を受信側でどちらか一方を選択することによりパスを切り替え、切り戻す手段を有する伝送装置において、パスにアラームが発生した場合に、パスを切り替える手段と、パスにアラームが発生して消滅する度に、該パスに該アラームが発生して消滅したことを示す情報をハード的に記録する手段と、該伝送装置のC P Uが該情報を読み取ることにより、タイマーをスタートし、パス監視を開始する手段と、パス監視開始から所定の期間経過後にはパスを切り戻す手段とを有することを特徴とする伝送装置である。

【0029】請求項3、請求項4に記載の発明により、ハードによりパス監視開始情報を記録するので、C P Uはパス監視開始情報を読み取るだけで、パス監視期間を開始でき、ハードによりパス監視状態を生成するため、パス監視状態となる条件が整った時に即時パス監視状態を確立することができるため、C P Uからのアクセスの間に発生した事象に対して対応でき、事象の読みとばしを防止できる。また、C P Uのアクセス回数を増加させる必要なく、事象の読みとばしを防止できるので、C P Uの処理負荷を増加させる必要がない。すなわち、C P Uの処理の効率化が可能となる。

【0030】請求項5に記載の発明は、同期多重伝送路網上でクロスコネクを行う伝送装置であって、該伝送装置の各インターフェース部に、チャンネル信号の位相

合わせを行う手段を有することを特徴とする伝送装置である。請求項 6 に記載の発明は、同期多重伝送路網上でクロスコネクトを行う伝送装置であって、該伝送装置の各インターフェース部に基準タイミングパルスを分配する手段を有し、該各インターフェース部に、該基準タイミングパルスのクロック乗り換えによりタイミングを調整してチャンネル信号の位相合わせを行う手段を有することを特徴とする伝送装置である。

【0031】請求項 7 に記載の伝送装置は、前記位相合わせを行う手段が、前期基準タイミングパルスのクロック乗り換えにおいて、書き込み側から読み出し側への乗り換えタイミングをタイマーを用いて自動的に生成し、クロック乗り換えを行う。請求項 8 に記載の伝送装置は、前記位相合わせを行う手段が、前期基準タイミングパルスのクロック乗り換えにおいて、書き込み側から読み出し側への乗り換えタイミングを PLL のロック検出を用いることにより生成し、クロック乗り換えを行う。

【0032】請求項 9 に記載の伝送装置は、前記位相合わせを行う手段が、前期基準タイミングパルスのクロック乗り換えにおいて、乗り換えタイミングの位相比較を行うための狭いウィンドウと広いウィンドウの 2 つのウィンドウを生成する手段と、乗り換えタイミングの監視時間の間は狭いウィンドウで監視を行い、所定の場合に、広いウィンドウに切り替えて乗り換えタイミングを生成する手段とを有する。

【0033】請求項 5 ～請求項 9 に記載の発明によれば、従来のように、共通部に位相を合わせるための回路であるポインタ付け替え回路を持たせる必要がなくなるので、共通部への回路の集中を回避でき、装置の小型化及び消費電力の削減が可能となる。また、分配された基準タイミングのクロック乗り換えにおいて、タイマーを用いてウィンドウを切り替えることとしたため、不安定な位置でのタイミングパルスの読み取りを避けることができる。更に、PLL のロック監視を行い、PLL がロックした後にウィンドウを広げることにより、より確実な乗り換えが可能となる。

【0034】

【発明の実施の形態】図 10 は第一の課題に対応する本発明の実施例を示す構成図である。図 3 における VT SQL 部 21 に対応する部分を示している。本実施例は、伝送装置において 24 STS チャンネル分が BL SR に使用されている例である。スケルチテーブル設定部 110 は各 STS チャンネル 110₁ ～ 110₂₄ 毎に、28 VT チャンネル分のレジスタを有し、各 VT チャンネルのレジスタ値が制御部 117 から設定されている。ここで、VT スケルチテーブルレジスタは BL SR の対象となっているチャンネルに対してのみの容量を有し、該チャンネルに対応するデータが設定されている。SQL 判定部 112₁ ～ 112₂₄ には各チャンネル毎に Far End Node ID、すなわち接続されているノードの中で最

も遠いノードの ID が送られ、スケルチテーブル設定部 110 におけるデータと比較して VT スケルチを実行するかどうかの判定を行う。スケルチ判定結果はラッチ部 114₁ ～ 114₂₄ に保持される。

【0035】SW 部 116 にパラレルで入力されたスケルチ判定結果は、制御部 117 から STS 回線設定情報を基に設定された ACM 118 から STS No. が指定されることにより選択され、SQL INS 部 119 にて該当する VT チャンネルにスケルチが挿入される。図 11 は第一の課題の他の実施例による伝送装置 120 の構成例である。図 11 に示す伝送装置 120 は STS - 1 チャンネルを 192 チャンネル有しており、その中の 48 チャンネル分を BL SR で使用している。この場合、従来の方式によると、STS - 1 チャンネルに 28 VT チャンネル含まれているため、5376 の VT スケルチテーブルレジスタが必要である。本発明によると、BL SR で使用するチャンネル分すなわち 48 STS - 1 チャンネル分の VT スケルチテーブルレジスタがあれば良いので、1344 の VT スケルチテーブルレジスタがあれば良い。

【0036】図 12 は第二の課題に対応する発明の実施例を示すブロック図である。図 12 に示す構成図は、図 6 における従来の技術による構成図と同じく、図 3 における STS PSW 部 14 又は STS PSW 部 15 又は VT PSW 部 23、すなわち、前述した UPSR による切り替えを制御する部分に相当する。図 12 において、デフォルトパス側データ 146 と非デフォルトパス側データ 148 はそれぞれ SEL 部 144 に入力され、PSW 制御部 142 による制御によりどちらかが選択されて出力 149 される。デフォルト側 ALM 検出部 130 と非デフォルト側 ALM 検出部 132 は、それぞれデフォルト側データ 146 と非デフォルトパス側データ 148 にアラームが発生した場合に、アラームを検出する。

【0037】デフォルト側 ALM 検出部 130 又は非デフォルト側 ALM 検出部 132 においてアラームを検出すると、ALM 通知レジスタ 134 に通知される。また、デフォルト側 ALM 検出部 130 又は非デフォルト側 ALM 検出部 132 は、アラームを検出すると PSW 制御部 142 に通知を行う。デフォルトパス側で通信中に、デフォルト側 ALM 検出部がアラームを検出すると、PSW 制御部 142 の制御により SEL 部 144 により非デフォルト側へのパスの切り替えが行われる。

【0038】WTR タイマー情報部 136 は、デフォルトパス側のアラームが発生して消滅したことを示す情報を保持しており、WTR タイマー情報部 136 の情報を CPU 138 が読み取ることにより、WTR タイマーが開始される。WTR 管理部 140 は直接に ALM 検出部 130 からデフォルト側パスのアラーム情報を受け、パスを非デフォルト側に寄せておくための管理情報を保持

している。

【0039】図13は上記構成の動作を示すタイムチャートである。CPU138のポーリング1とポーリング2の間で、デフォルトパス側にアラームが発生したことにより、PSW制御部142が動作し、パスを非デフォルト側にする。ポーリング2とポーリング3の間で、デフォルトパス側のアラームが消滅したことにより、WTRタイマー情報部136はその旨を示す情報を保持し、CPU138がポーリング3によりWTRタイマー情報部136におけるその情報を認識すると、WTRタイマーが開始される。同図中、ポーリング4とポーリング5の間で、デフォルトパスのアラームが発生して消滅しており、この事象はCPU138では認識できないが、WTRタイマー情報部136に直接通知されるため、WTRタイマー情報部136はその旨の情報を保持し、ポーリング5によりWTRタイマー情報部136が読まれると、WTRタイマーがリセットされ監視期間が再開される。ここから、監視期間のn分間が経過すると、ポーリング8によりPSW制御が動作し、パスが切り戻される。

【0040】図14は図12に示したブロック図に対応する概略ハード構成を示した構成図である。なお、図12は1チャンネルにおける処理を示すもので、図14は多チャンネルをシリアルで処理している例を示している。自動SW制御部150にはデフォルト側及び非デフォルト側のアラームの現状態(DEFアラーム、非DEFアラーム)が入力され、さらに、過去のアラームの状態(ALM(t-1))と、パススイッチの状態(St ate(t-1))が入力される。レジスタ152でパススイッチとアラームの情報を保持しておく。自動SW制御部150にて現状態と過去の状態を比較し、上記で説明した論理により、WTRタイマー開始信号154やパススイッチ状態信号156を出力する。例えば、過去(t-1の時)にデフォルト側にアラームが出ている状態であり、現状態としてデフォルト側のアラームが消滅している場合には、WTRタイマーをスタートさせる信号が出力される。

【0041】図15は第三の課題に対応する発明の実施例を示すブロック図である。同図中、INF部160_i～160_nに入力された信号は、INF部160_i～160_nにおいてSTSフレームに組み立てられ、その際に各チャンネルの位相合わせが行われる。共通部170において各チャンネルの位相のズレの調整とクロスコネクトが行われ、INF部161_i～161_nへ出力される。システムクロック部180は装置内の基準クロックを生成・分配するものであり、INF部160_i～160_nは共通部170のパルス発生部176から分配された基準タイミングパルスに従いフレームを生成し共通部に出力する。

【0042】INF部160_i～160_nの各々は、I

NF部160_iと同様の構成であり、INF部160_iを例にとり説明する。STSフレーム生成部162は同期パルス発生部164より発生されたクロック乗り換え後のタイミングパルスに従いSTSフレームを生成し、生成されたフレームはMUX166により多重されて共通部170に送信される。1/n部169はクロックの速度を落とす処理を行う。また、PLL168はシステムクロック180からのクロックを受けている。

【0043】共通部170に送られたSTS信号は、メモリ172_iにおいて、位相ずれ調整が行われ、位相を合わせられた信号はクロスコネクト部174においてクロスコネクトされ、INF部161_i～161_nに送られる。クロスコネクト部174とメモリ162_i～162_nは、PLL178からのクロックを受けて動作するパルス発生部176からのタイミングパルスにより動作する。

【0044】図16は、上記の位相合わせに関する動作を示すタイムチャートである。INF部基準タイミング(a)により各INF部においてフレームが生成される、基準タイミングによりフレームが生成されても、各INF部からの出力データの位相のずれは発生するので(Min. Delay～Max. Delay)、メモリ172_i～172_n内にデータが保持され、共通部基準タイミング(b)により読みだされることにより位相が合わせられる。

【0045】図17は、図15における同期パルス発生部164の詳細を示した構成図である。同期パルス発生部164はSTSフレーム生成部162に入力されたデータをSTSフレームに組み立てる際のタイミングパルスを発生させるものである。同図中、Write基準部190はクロックの乗り換えを行うためのタイミングパルスを引き延ばすためのタイミングとWindowを生成するための基準となるタイミングを生成するものである。Window1(192)、2(194)はクロック乗り換え基準を安定させるための2重のWindow生成部であり、SEL部200にてWindowを切り替える。Timer部(196)はこれらのWindowを切り替えるための監視時間を管理するもの、Read基準部(198)は引き延ばされたタイミングパルスを読み取るタイミングと位相監視のためのタイミングを生成するもの、COMP部202はWindowとReadタイミングの位相を監視するものである。S/P部204はシリアル/パラレル変換、P/S部208はパラレル/シリアル変換を行い、FF部206はフリップフロップである。また、同図中、TPIN及びWriteCLKからの線は図15のINF部160_iにおけるaに相当し、ReadCLKからの線はbに相当し、TPOUTへの線はcに相当する。

【0046】図18は図17に示す構成の動作を示すタイムチャートである。Write基準(書き込み基準)

によりRead側（読み出し側）のクロックに同期をかけ、Write基準（書き込み基準）によりウィンドウを作っている。ここで、タイマーによる監視時間中、ReadTiming（読み出しタイミング）はWindow1（狭いウィンドウ）内にあるので、監視時間経過後はSEL部によりWindow2（広いウィンドウ）に切り替えられる。このように、監視されている読み出し側のタイミングにより、シリアル/パラレル変換されたデータを取り、パラレル/シリアル変換する。COMP部によりWindow1内にReadTiming（読み出しタイミング）がないことが判明した場合は、タイマーをリセットし、再び監視を行う。

【0047】図19は、PLLのロック状態を検出するLock検出部210、212と、Write側（書き込み側）とRead側（読み出し側）のロック検出状態を監視するLock監視部214を付加したものである。なお、PLL216は図15におけるPLL178に相当し、PLL218はPLL168に相当する。この場合は、上記のタイマーをWindow切り替えに使用するのではなく、PLLのロック状態が検出された場合にウィンドウを切り替える。

【0048】安定したクロックの乗り換えを行うために位相比較を行うための2つのウィンドウを用意しておき、タイマーの監視時間の間、狭いウィンドウで監視を行い、監視時間の間正常であった時、ウィンドウを広げ、マージンを確保することにより、不安定な位置での読み取りを避けることができる。さらに、PLLのロック監視を行い、PLLがロックした後に、ウィンドウを広げる方法を用いることにより同じ監視時間であるならば、より確実な乗り換えが可能となる。

【0049】なお、本発明は、上記の実施例に限定されことなく、特許請求の範囲内で種々変更・応用が可能である。

【0050】

【発明の効果】上述したように、本発明によれば、伝送路障害の際には信号を伝送路の予備帯域にループバックさせて通信を救済する方式であるBLSR等で対象となるチャネル数の容量のみの記憶領域を使用して、まず、障害通知信号の挿入実行判定を行い、主信号データの回線設定情報を利用し、判定結果を選択して障害通知信号の挿入を行うこととしたため、従来のように不要なレジスタ等の不要な記憶領域が必要無くなり、回路が削除され、装置の小型化が可能となる。

【0051】また、本発明によれば、パスポテクションスイッチにおいて、ハードによりパス監視開始情報を記録するので、CPUはパス監視開始情報を読み取るだけで、パス監視期間を開始でき、更に、ハードによりパス監視状態を生成するため、パス監視状態となる条件が整った時に即時パス監視状態を確立することができるため、CPUからのアクセスの間に発生した事象に対して

対応でき、事象の読みとばしを防止できる。また、CPUのアクセス回数を増加させる必要なく、事象の読みとばしを防止できるので、CPUの処理負荷を増加させる必要がない。すなわち、CPUの処理の効率化が可能となる。

【0052】更に、本発明によれば、従来のように共通部に位相を合わせるための回路であるポインタ付け替え回路を持たせる必要がなくなるので、共通部への回路の集中を回避でき、装置の小型化及び消費電力の削減が可能となる。また、分配された基準タイミングのクロック乗り換えにおいて、タイマーを用いてウィンドウを切り替えることとしたため、不安定な位置でのタイミングパルスの読み取りを避けることができる。更に、PLLのロック監視を行い、PLLがロックした後にウィンドウを広げることにより、より確実な乗り換えが可能となる。

【0053】したがって、本発明によれば、装置を小型化することが可能になるとともに、確実性の高い安定した伝送装置を提供することが可能になる。

【図面の簡単な説明】

【図1】SONETにおけるUPSRを説明するための図である。

【図2】SONETにおけるBLSRを説明するための図である。

【図3】伝送装置のシステム構成を示すブロック図である。

【図4】VTスケルチの概念を説明するための図である。

【図5】VTスケルチを実行するVT SQL部21の従来の技術による構成を示すブロック図である。

【図6】伝送装置においてUPSRによるパスポテクションスイッチを行う部分の従来技術による構成を示すブロック図である。

【図7】図6に示す構成の動作を示すタイムチャートである。

【図8】伝送装置においてSTS信号を生成してクロスコネクトを行う部分の従来技術による構成を示すブロック図である。

【図9】従来技術によるSTS信号の位相合わせの動作を示すタイムチャートである。

【図10】VTスケルチを実行するVT SQL部21の本発明における実施例の構成を示すブロック図である。

【図11】本発明における実施例による伝送装置の構成図である。

【図12】伝送装置においてUPSRによるパスポテクションスイッチを行う部分の本発明の実施例による構成を示すブロック図である。

【図13】図12に示す構成の動作を示すタイムチャートである。

15

【図 14】図 12 に示したブロック図に対応する概略のハード構成を示した図である。

【図 15】伝送装置において STS 信号を生成してクロスコネクトを行う部分の本発明の実施例による構成を示すブロック図である。

【図 16】本発明の実施例による STS 信号の位相合わせの動作を示すタイムチャートである。

【図 17】図 15 における同期パルス発生部 164 の構成を示したブロック図である。

【図 18】図 17 の動作を示すタイムチャートである。 10

【図 19】図 17 に示す構成に、PLL のロック状態を検出する Lock 検出部及びロック検出状態を監視する Lock 監視部 214 を付加した構成を示すブロック図である。

【符号の説明】

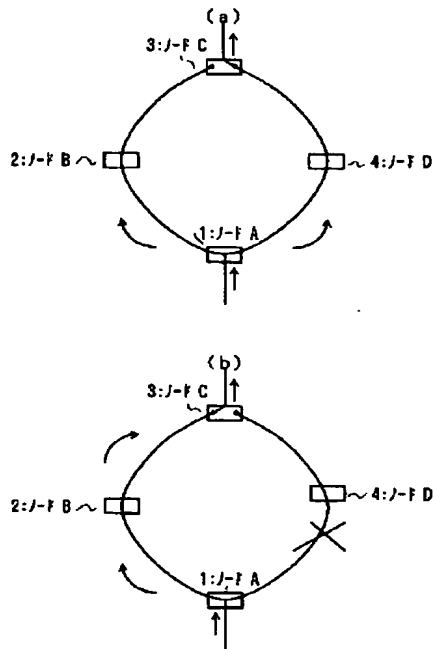
1 ノード A
2 ノード B
3 ノード C
4 ノード D
5、120 伝送装置
6 E 点
7 F 点
10 STS クロスコネクト部
11、12、13 STS TSI 部
14、15 STS PSW 部
16 2:1 SEL 部
20 VT クロスコネクト部
21 VT SQL 部
22 VT TSI 部
23 VT PSW 部
30₁ ~ 30_n、40₁ ~ 40_n INF 部
60、110 スケルチテーブル設定部
62₁ ~ 62_n、112₁ ~ 112₂₄ SQL 判定部
64₁ ~ 64_n、114 ~ 114₂₄ ラッチ部
66、119 スケルチ INS 部
67、117 制御部
70、71、130、132 ALM 検出部
72、134 ALM 通知レジスタ
73、138 CPU
74 WTR 制御レジスタ

16

75、142 PSW 制御部
76、144 SEL 部
77、146 デフォルト側データ
78、148 非デフォルト側データ
80₁ ~ 80_n、81₁ ~ 81_n INF 部
82、162 STS フレーム生成部
84、96、176 パルス発生部
86、166 MUX 部
88、98、168、178 PLL 部
90、170 共通部
92₁ ~ 92_n ポインタ部
94、174 クロスコネクト部
100 システムクロック
116 SW 部
118 ACM 部
136 WTR タイマー情報部
140 WTR 管理部
149 出力
150 自動 SW 制御部
20 152 レジスタ
154 WTR タイマー開始信号
156 パススイッチ状態信号
160₁ ~ 160_n、161₁ ~ 161_n INF 部
164 同期パルス発生部
169 1/n 部
172₁ ~ 172_n メモリ
190 Write 基準部
192 Window 1 部
194 Window 2 部
30 196 Timer 部
198 Read 基準部
200 SEL 部
202 COMP 部
204 S/P 部
206 FF 部
208 P/S 部
210、212 Lock 検出部
214 Lock 監視部
216、218 PLL

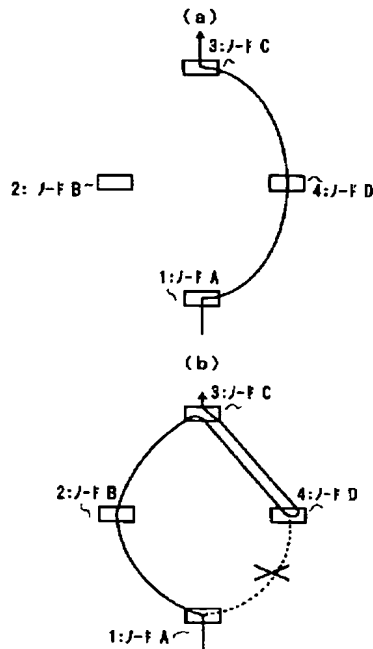
【図 1】

SONETにおけるUPSRを説明するための図



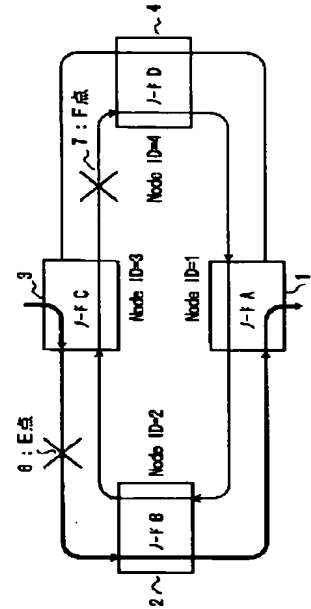
【図 2】

SONETにおけるBLSRを説明するための図



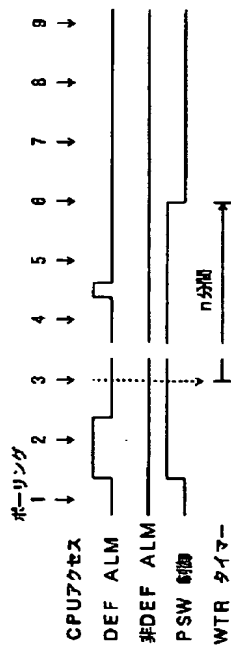
【図 4】

VTスケルチの概念を説明するための図



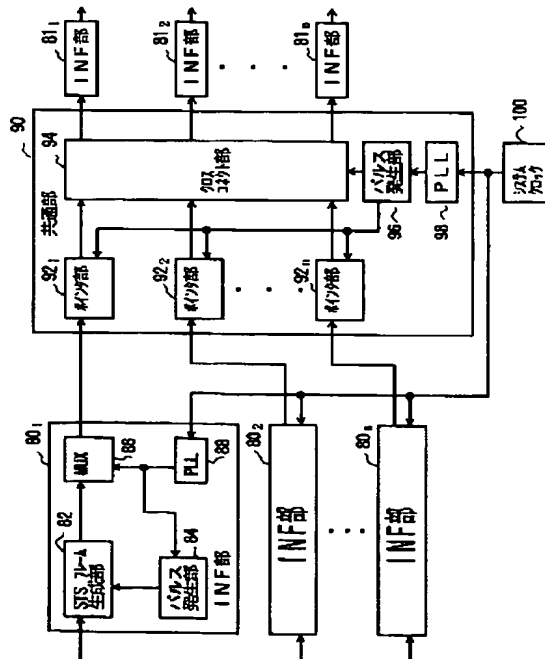
【図 7】

図 6 に示す構成の動作を示すタイムチャート



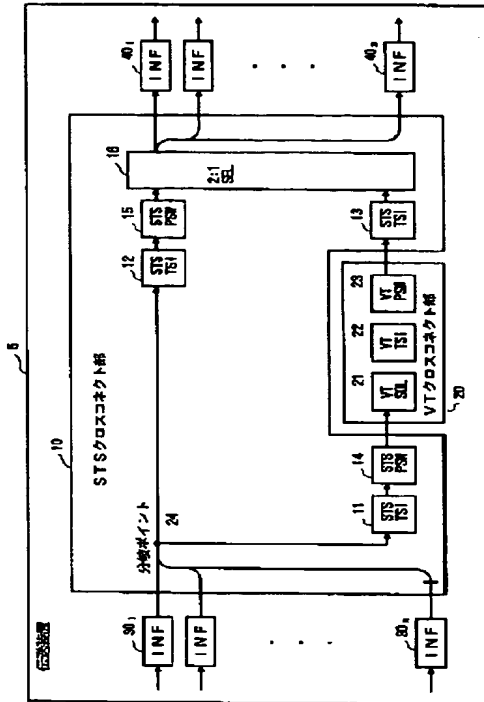
【図 8】

伝送装置においてSTS信号を生成してクロスコネクトを行う部分の従来技術による構成を示すブロック図



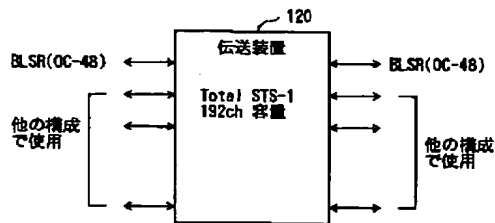
【図 3】

伝送装置のシステム構成を示すブロック図

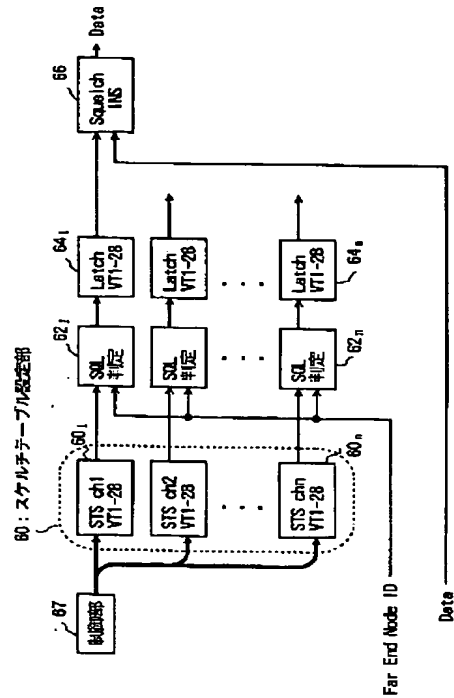


【図 1 1】

本発明における実施例による伝送装置の構成図

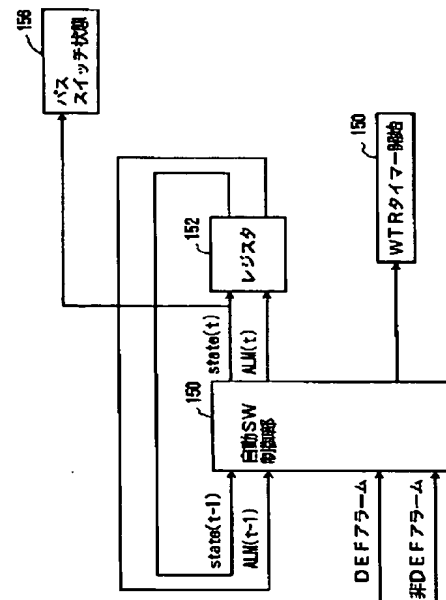


【図 5】

VTスケルチを実行するVT SOL部21
の従来の技術による構成を示すブロック図

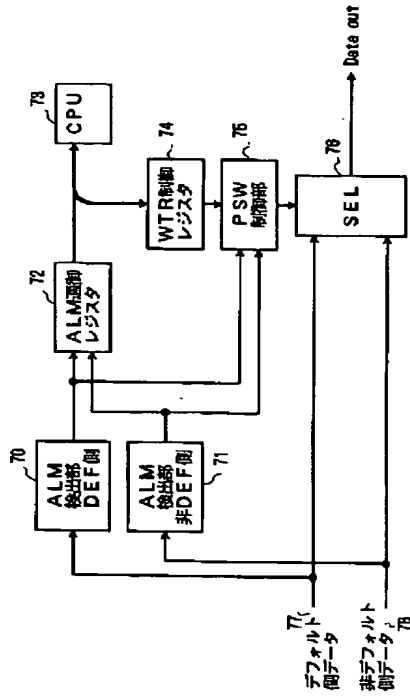
【図 1 4】

図 1 2 に示したブロック図に対応する概略のハード構成を示した図



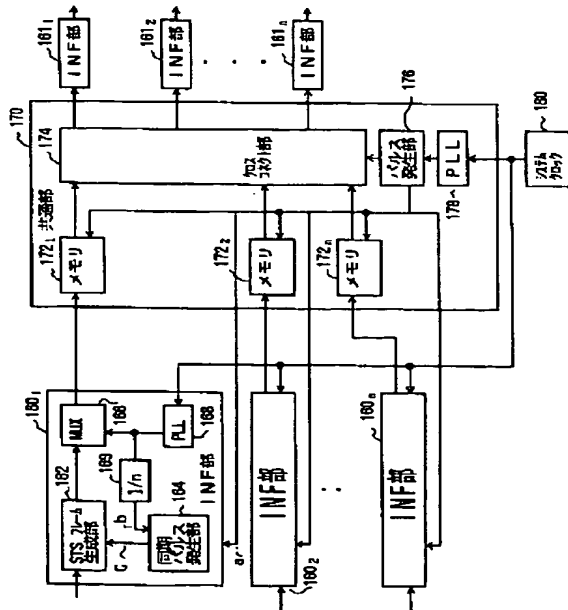
【図6】

伝送装置においてUPSRによるバスプロテクションスイッチ
を行う部分の従来技術による構成を示すブロック図



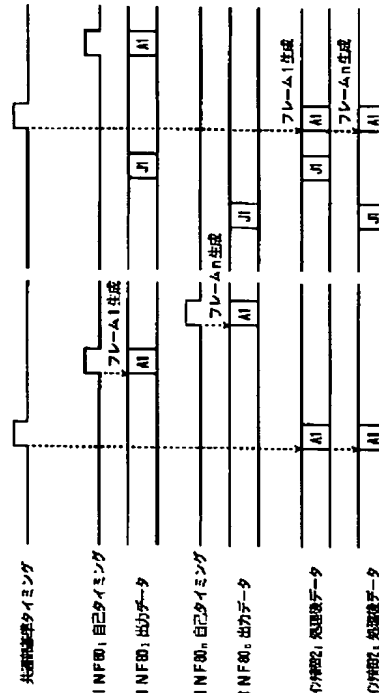
【図 15】

伝送装置においてSTS信号を生成してクロスコネクト
を行う部分の本発明の実施例による構成を示すブロック図



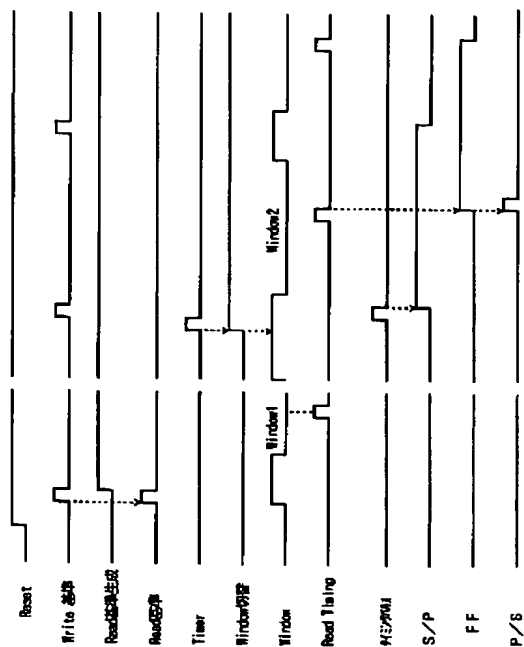
【図9】

従来技術によるSTS信号の位相合わせの動作を示すタイムチャート



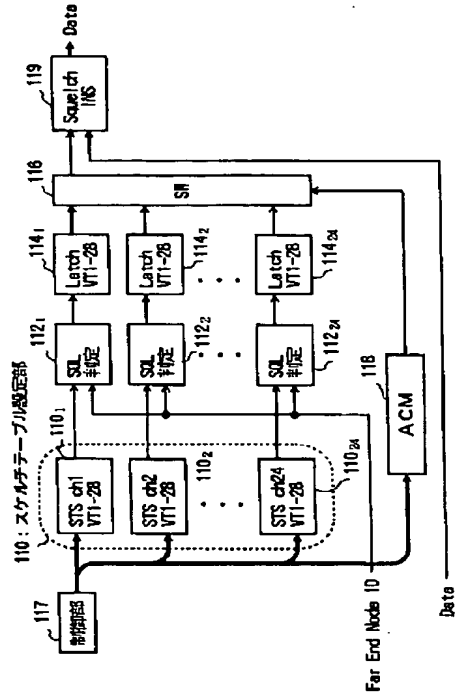
【図 18】

図 17 の動作を示すタイムチャート



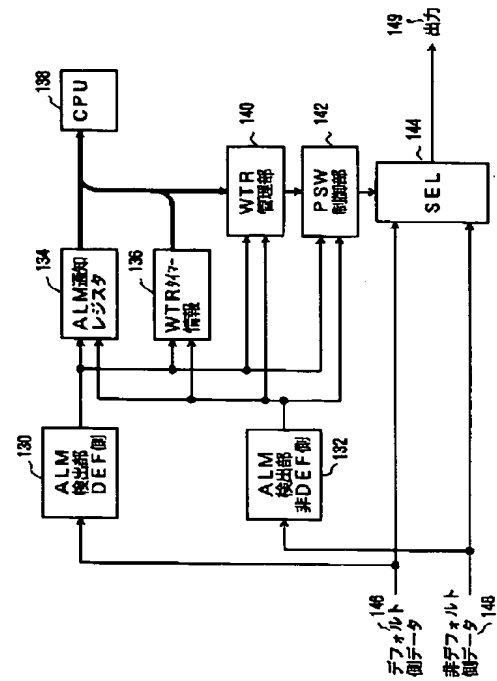
【図10】

VTスケルチを実行するTV SQL部21の本発明
における実施例の構成を示すブロック図



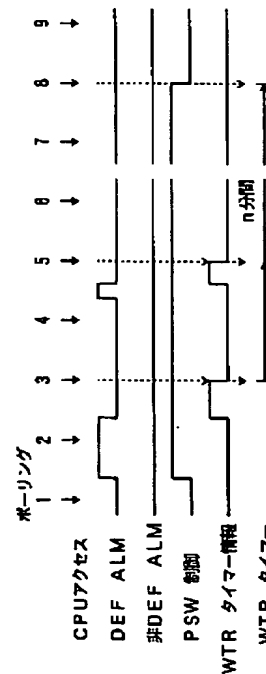
【図12】

伝送装置においてUPSRによるバスプロテクションスイッチ
を行う部分の本発明の実施例による構成を示すブロック図



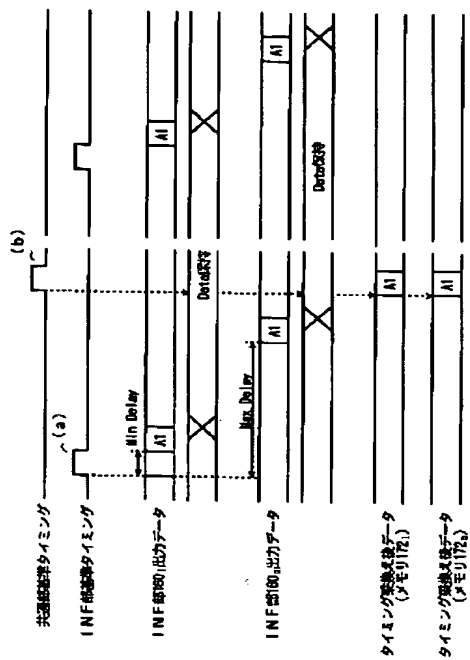
【図13】

図12に示す構成の動作を示すタイムチャート



【図 16】

本発明の実施例によるSTS信号の位相合わせの動作を示すタイムチャート



【図 17】

図 15 における同期パルス発生部 184 の構成を示したブロック図

